

## ⑫ 公開特許公報(A)

平1-161912

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

④ 公開 平成1年(1989)6月26日

H 03 K 5/00  
5/13P-7631-5J  
7631-5J

審査請求 有 発明の数 1 (全6頁)

⑭ 発明の名称 半導体集積回路

⑰ 特 願 昭62-320432

⑱ 出 願 昭62(1987)12月18日

⑲ 発 明 者 吉 森 崇 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外2名

## 明 細 書

## 1. 発明の名称

半導体集積回路

## 2. 特許請求の範囲

(1) 制御データに応じて遅延量が制御される可変遅延型のクロック用入力バッファを具備してなることを特徴とする半導体集積回路

(2) 前記制御データは、外部から入力するシリアルデータをシフトレジスタに入力することによって得られる上記シフトレジスタの平行出力データであることを特徴とする前記特許請求の範囲第1項記載の半導体集積回路。

(3) 前記制御データは、外部から入力する平行データをレジスタに入力することによって得られる上記レジスタの平行出力データであることを特徴とする前記特許請求の範囲第1項記載の半導体集積回路。

(4) 前記レジスタは、外部からの制御入力によりラッチ制御が行われることを特徴とする前記特許請求の範囲第2項記載の半導体集積回路。

(5) 前記可変遅延型クロック用入力バッファは、ゲートチェーンによる遅延発生素子およびこの遅延発生素子の入力信号または出力信号を制御データのビットデータに応じて選択するマルチプレクサが複数段接続されてなることを特徴とする前記特許請求の範囲第1項記載の半導体集積回路。

(6) 前記可変遅延型クロック用入力バッファは、クロック信号伝送路と接地端との間に、制御データのビットデータに応じてスイッチ制御される制御ゲートと遅延発生用容量負荷とが直列接続された回路が複数個並列に接続されていることを特徴とする前記特許請求の範囲第1項記載の半導体集積回路。

(7) 前記可変遅延型クロック用入力バッファの出力と外部から入力する基準クロック信号との位相差を検出し、この位相差に応じてアップダウンカウンタの内容をアップダウン制御し、このアップダウンカウンタの平行出力データを前記制御データとすることを特徴とする前記特許請求の範囲第1項記載の半導体集積回路。

(8)前記可変遅延型クロック用入力バッファの分岐出力の一部を外部に取り出すための出力バッファを具備することを特徴とする前記特許請求の範囲第1項記載の半導体集積回路。

### 3. 発明の詳細な説明

#### [ 発明の目的 ]

##### ( 産業上の利用分野 )

本発明は半導体集積回路に係り、特に同期動作のために使用されるクロックのスキューを防止する回路に関する。

##### ( 従来の技術 )

コンピュータ等の大規模論理システムのようにデジタル同期を必要とするシステムに使用されるクロック信号は、システムのタイミング上の動作基準となるものであり、システム全体にこの基準信号を如何に精度良く分配させるかは、システム全体の性能を左右する重要な技術である。近年、半導体集積回路技術の発展によって、大規模デジタルシステムのLSI(大規模集積回路)化が可能になるが、これに伴って高速処理を必要とする

法が知られている。

しかし、上記第8図(a)に示した方法は、専用のクロックライン81上のクロックスキューは減少するが、システムが大規模になった場合に、クロックバッファが階層構造となり、下位層のクロックバッファ部分でのクロックスキューは低減されない。また、前記第8図(b)に示した方法は、本来必要でないバッファ負荷84…を各バッファの負荷条件を同一にする目的でクロック入力用バッファ83…に付加することになり、チップ面積がかなり増大してしまう。

また、上記第8図(a)、(b)の方法とも、異なるLSIチップ間のクロックスキューを低減する上では何ら有効でなく、システム全体としてクロック同期に問題が生じる。即ち、たとえば第9図に示すシステムのように、共通の主クロックバッファ90から2個のLSIチップ91、92にクロックを供給したとしても、一方のLSIチップ91内のクロックバッファ93、94…と他方のLSIチップ92内のクロックバッファ95、96…との動

LSI内でのクロックスキューおよび異なるLSI間でのクロックスキューが問題となっている。

第7図は、LSIチップ70内の各論理回路ブロック71、72のクロックバッファ73、74にクロック用入力バッファ75からクロックを共通に供給する場合を示しているが、回路規模の増大と共にチップサイズも大きくなってくると、各クロックバッファ73、74の製造時の特性差及び負荷条件等によりクロックスキューが発生してしまう。

従来、LSI内部のクロックスキューを低減させる方法としては、第8図(a)に示すように、LSIチップ80上に専用のクロックライン81を設けてクロック用入力バッファ82の出力を供給したり、あるいは第8図(b)に示すように、LSIチップ80上に専用のクロックライン81を設けてクロック用入力バッファ82の出力を供給し、上記クロックライン81から複数のクロック入力用バッファ83…を通じてバッファ負荷84…に供給することによって、バッファ負荷を分散させるなどの方

作速度には次に述べるような要因から差異が生じ、結果としてシステム全体としてクロックスキューが生じることになる。上記要因とは、(1)各チップ内のクロックバッファに対する負荷の差、(2)各チップ製造時のプロセス条件の差、(3)各チップの温度条件および電源電圧条件の差である。

##### ( 発明が解決しようとする問題点 )

本発明は、上記したようにLSI内でのクロックスキューを減少させようとして専用のクロックラインを設けても必ずしも十分な効果が得られず、チップ面積がかなり増大してしまうという問題点、あるいは複数のLSIを使用するシステムの場合にLSI間でのクロックスキューが発生してしまうという問題点を解決すべくなされたもので、個々の内部でのクロックスキューを低減させることが可能になり、複数使用するシステムの場合でもシステム全体のクロックスキューを低減させることが可能な半導体集積回路を提供することを目的とする。

##### [ 発明の構成 ]

##### ( 問題点を解決するための手段 )

本発明の半導体集積回路は、制御データに応じて遅延量が制御される可変遅延型のクロック用入力バッファを内蔵してなることを特徴とする。

(作用)

LSIチップ上の各回路ブロックに可変遅延型クロック用入力バッファを設けておき、それぞれの遅延量を適切に調整することによって、LSIチップ内部でのクロックスキューを低減することができる。したがって、このようなLSIを複数個使用するシステムにおいて、各LSIの可変遅延型クロック用入力バッファの遅延量をそれぞれ適切に調整することによって、システム全体のクロックスキューを低減することができる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図は複数の論理ブロック2...を有するLSIチップ1を示しており、外部からのクロック入力主クロック用入力バッファ3に入力し、この入力バッファ3から各論理ブロック2...の可変遅延

1ns程度の遅延量を有するものとすれば、4ビットの制御データによって0~15nsまで1ns単位で遅延量を可変設定することができる。

また、第3図に示す可変遅延型クロック用入力バッファは、入力バッファ31と波形整形用出力バッファ32との間の信号伝送路33が、制御ゲート34および遅延発生用容量負荷35が直列接続された回路を複数個並列に介して接地されており、上記制御ゲート34は制御データの対応するビットデータがゲート入力となり、このビットデータの"1"、"0"に応じてオン、オフ状態にスイッチ制御される。したがって、たとえば4個の容量35...の容量値比が8:4:2:1であるとするれば、4ビットの制御データによって0~15ステップまで1ステップ単位で遅延量を可変設定することができる。

上記したような第1図のLSIによれば、各論理ブロック2...の可変遅延型クロック用入力バッファ4...の各遅延量をそれぞれ適切な値に設定することができ、これによって上記入力バッファ4...

型クロック用入力バッファ4...に共通に供給されている。この可変遅延型クロック用入力バッファ4...に対応して、遅延量制御データを与えるための例えばシリアル入力型のシフトレジスタ5...が設けられており、このシフトレジスタ5...はLSI外部から入力する制御データが設定されるようになっている。

上記可変遅延型クロック用入力バッファ4...は、それぞれ例えば第2図あるいは第3図に示すように構成されている。即ち、第2図に示す可変遅延型クロック用入力バッファは、入力バッファ21と波形整形用出力バッファ22との間にゲートチェーンによる遅延発生素子23およびマルチプレクサ24が複数段設けられており、このマルチプレクサ24は制御データの対応するビットデータが制御入力となり、このビットデータの"1"、"0"に応じて前段の遅延発生素子23の入力側または出力側のクロック信号を選択して後段側へ出力するものである。したがって、たとえば4段の遅延発生素子23...の各段が対応して8,4,2,

の各出力間のクロックスキューを低減させることができる。

なお、前記各入力バッファ4...に対応して設けられたシフトレジスタ5...に代えてレジスタを用い、これに外部からパラレルな制御データを入力するようにしてもよい。

第4図は、他の実施例としてクロック信号自動同期調整機能を有するLSIチップ40を示しており、LSIチップ内部に可変遅延型クロック用入力バッファ43と、この入力バッファ43の負荷の一部として設けられた第1の位相比較用ゲート41および第2の位相比較用ゲート42と、これらの位相比較ゲート41,42の各出力A,Bが対応してアップカウンタ入力、ダウンカウンタ入力となり、カウンタ出力を前記可変遅延型クロック用入力バッファ43に制御データとして与えるアップダウンカウンタ44とを有する。上記入力バッファ43には、このLSIを用いたシステムのシステムクロックを外部から入力し、このシステムクロックをLSI外部の固定高精度遅延素子45

を通して生成した基準クロック信号を前記位相比較ゲート41, 42の各一方の入力とし、この位相比較ゲート41, 42の各他方の入力として前記入力バッファ43の分岐出力の一部(内部クロック)を入力している。前記第2の位相比較ゲート42は、上記基準クロック信号をインバータ46により反転した信号と前記内部クロックとをアンドゲート47に入力しており、第5図(b)に示すように内部クロックが基準クロック信号より位相が遅れている期間に出力Bとしてハイレベルのパルスが発生する。一方、第1の位相比較ゲート41は、前記内部クロックをインバータ49により反転した信号と前記基準クロック信号とをアンドゲート60に入力しており、第5図(a)に示すように内部クロック信号が基準クロック信号より位相が進んでいる期間に出力Aにハイレベルのパルスが発生する。したがって、内部クロックと基準クロック信号との位相差に応じてカウンタ44の内容、ひいては入力バッファ43の遅延量が制御され、上記位相差が零になるように自動的に調整

各クロック出力をそれぞれモニタしながら可変遅延型クロック用入力バッファ43それぞれの遅延量が適切になるように、それぞれの制御データを設定制御することによって、システム全体のクロックスキューを低く抑えるように動的に調整することができる。この場合、各LSIチップ60…の各クロック出力をモニタすることができるので、上記調整を非常に高精度に、かつ安定に実行することが可能であり、システム全体の性能向上に大きな効果を発揮することができる。

#### [ 発明の効果 ]

上述したように本発明の半導体集積回路によれば、制御データに応じて遅延量が制御される可変遅延型クロック用入力バッファを内蔵しているので、この入力バッファを適宜個所に設けることによってクロックスキューを低減させることができる。この場合、チップ内部に専用のクロックラインやクロック用入力バッファに対する余分な負荷を設ける必要がなくなるので、チップ面積の増大はほぼ上記可変遅延型クロック用入力バッファの

されることになる。

第6図は、本発明の応用例として、前記したような可変遅延型クロック用入力バッファ43を有するLSIを複数個用いるシステムにおけるシステム全体のクロックスキューを低減するための構成を示している。即ち、LSIチップ60…は、それぞれ可変遅延型クロック用入力バッファ43…と、これに制御データを与えるための遅延量設定用レジスタ61…と、上記入力バッファ43…の分岐出力の一部をLSI外部でモニタするために出力するためのクロック出力バッファ62…を内蔵している。上記入力バッファ43…には、LSI外部のシステム用の主クロックバッファ63から共通にシステムクロックが供給される。前記レジスタ61…は、それぞれLSI外部から制御データ入力のラッチ制御を行うためのレジスタイネーブル信号が独立に与えられると共に、LSI外部の遅延量設定データ用共通バス64からパラレルの制御データ入力を与えられる。

上記システムによれば、各LSIチップ60…の

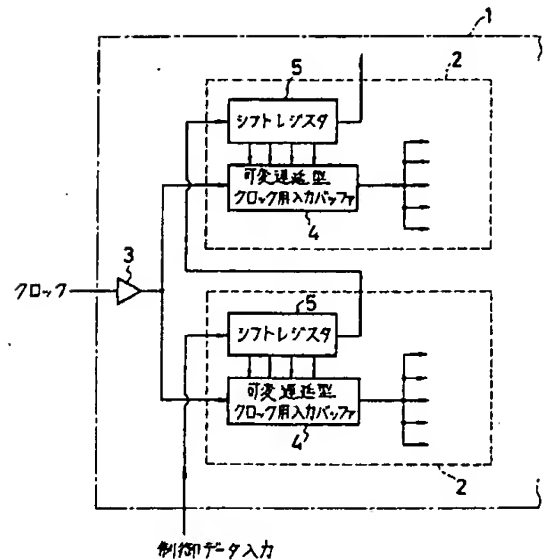
遅延量制御素子および制御データ格納部に対応する分だけで済む。また、上記のような半導体集積回路を複数個用いるシステムにおいては、各集積回路の可変遅延型クロック用入力バッファの遅延量をそれぞれ適切に調整することによって、システム全体のクロックスキューを低減することができる。したがって、上記半導体回路は、高速論理処理を必要とするマイクロプロセッサやコンピュータシステム等の大規模デジタルシステムに用いて好適である。

#### 4. 図面の簡単な説明

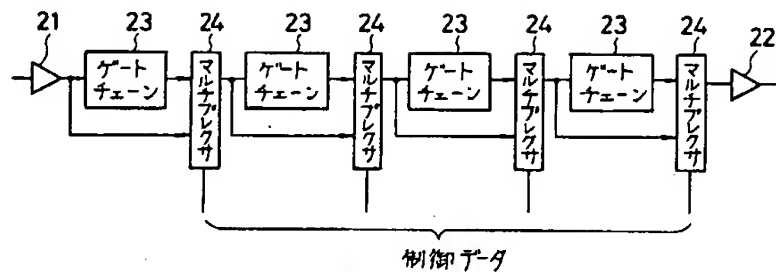
第1図は本発明の半導体集積回路の一実施例を示す構成説明図、第2図および第3図は第1図中の可変遅延型クロック用入力バッファの相異なる具体例を示す回路図、第4図は本発明の他の実施例を示す構成説明図、第5図(a), (b)は第4図の動作を示すタイミング図、第6図は本発明の応用例に係る大規模デジタル同期システムを示す構成説明図、第7図は従来のLSIのクロック入力系を示す構成説明図、第8図(a), (b)は第7図のLSIに

おけるクロックスキューを低減させる従来の方法を説明するために示す図。第 9 図は複数の LSI を用いたシステムにおけるクロック入力系を示す図である。

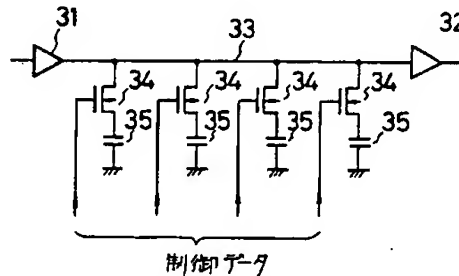
4, 43... 可変遅延型クロック用入力バッファ。  
5... シフトレジスタ、23... ゲートチェーン。  
24... マルチプレクサ、34... 制御ゲート、35... 容量。  
41, 42... 位相比較用ゲート、44... アップダウンカウンタ、61... レジスタ、62... クロック用出力バッファ。



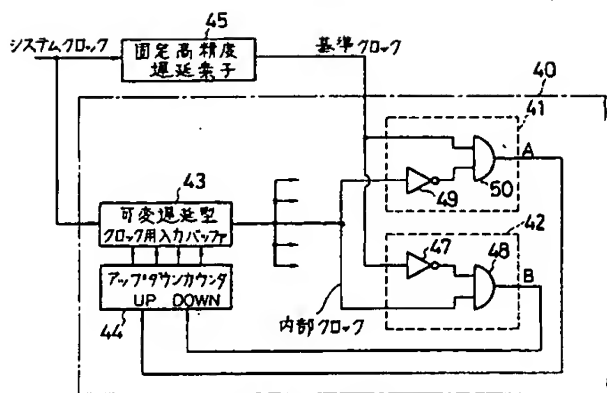
第 1 図



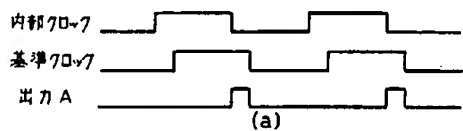
第 2 図



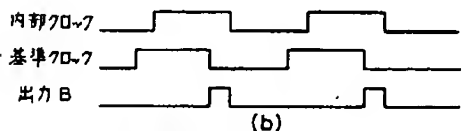
第 3 図



第 4 図

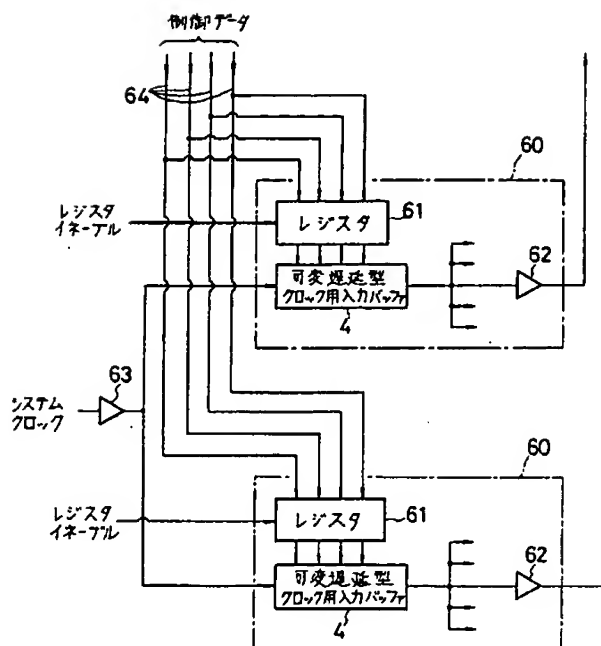


(a)

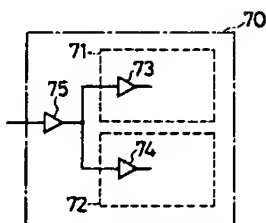


(b)

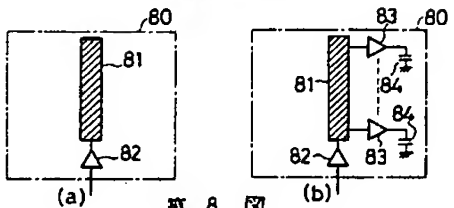
第 5 図



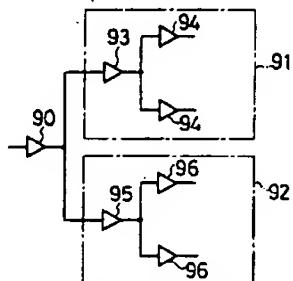
第 6 図



第 7 図



第 8 図



第 9 図